

Appendix 3

ロー・パワー・デザイン 特別企画 第2弾

PFI(Power Forward Initiative)とCPF(Common Power Format)への期待

――「低電力志向設計」時代の扉を開く共通フォーマット

齋藤敏幸

電源系や消費電力に関する情報を記述するCPF(Common Power Format)の標準化を目ざすPFI(Power Forward Initiative)という組織の活動について紹介する．CPFが標準化・普及すれば，EDAツール間の消費電力関連情報の受け渡しがスムーズになり，設計フローがシンプルになる．また，電源分離や電源制御などを想定した，RTL段階におけるアーキテクチャの設計も，これまでより容易になる．（編集部）

筆者は，PFI(Power Forward Initiative)という技術フォーラムのアドバイザ委員を務めています．本稿では，PFIが開発を進めているCPF(Common Power Format)の考えかた，およびCPFを使うと既存のASIC設計環境がいかに低消費電力設計に対してフレンドリになるかについて概説します．

CPFを用いた設計技術は，今後のASIC設計を低電力志向に進化させるうえで有用となるでしょう．ただし，CPFそのものは現在開発の途上にあり，少なくとも2006年中については一般への仕様の開示が認められていません．ここではCPFのコンセプトを理解していただくことに重点を置いて，説明していきます．

● 低電力設計に焦点を絞った共通フォーマットを作る

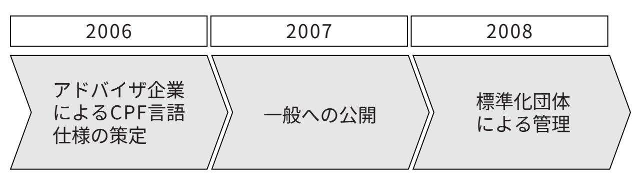
LSI開発における素子の微細化は，大量生産時のコスト・メリットを確保するために不可欠です．そして，近年の先端プロセスを用いたLSIでは，消費電力を抑える設計の重要性が急激に高まっています．これは，微細化してもなお電源電圧をそれほど下げられず，単位面積当たりの素子数の増加とともに単位面積当たりの消費電力が増大の一途をたどっているためです．加えて，LSIの寸法の縮小に伴って，トランジスタのリーク電流成分が指数関数的に増大しています．ASICにおいて，消費電力はパッケージ・コストを左右する大きな要因であり，今後のLSIビジネスへの影響は重大です．

この事実は，あらゆるLSI開発者やEDAベンダにとって自明なのですが，低消費電力設計を実施するうえでの現在の設計環境(ツールや設計フロー，ライブラリなど)の整備状況は貧弱であると言わざるをえません．PFIは，こうした問題を解決するために，米国Cadence Design Systems社と半導体関係の賛同企業9社(アドバイザ委員)が組織化した技術フォーラムです(1)．

PFIの活動の目的は，低消費電力設計に必要で，かつ既存の設計データ(RTL記述，ゲート・レベル・ネットリスト，制約ファイルなど)では表現できない情報を，新しい制約ファイルCPFを定義して記述可能とすることにあります．さらに，CPFをRTL設計やゲート・レベル設計，レイアウト設計，サインオフ検証の各工程で利用できるかどうかを評価する実証プロジェクト(Proof Point Project)を推進します．こうした活動を3年程度かけて実施し，最終的にCPFを業界標準化することを目ざしています(**図1**)．

● 既存の環境では電源制御や電源供給を明示しにくい

LSIの消費電力を意識した設計を考えるには，どうしても電



アドバイザ企業(2006年7月現在)

- 米国 Advanced Micro Devices社
- 米国 Applied Materials社
- 英国 ARM社
- 米国 ATI Technologies社
- 米国 Cadence Design Systems社
- 米国 Freescale Semiconductor社
- 富士通
- NEC エレクトロニクス
- オランダ Royal Philips Electronics社
- 台湾 TSMC(Taiwan Semiconductor Manufacturing Co.)

図1　PFIのロードマップ

PFIの活動の目的は，低消費電力設計に必要で，かつ既存の設計データでは表現できない情報を，新しい制約ファイルCPFを定義して記述可能とすることにある．PFIは，CPFをLSI設計の各工程で利用できるかどうかを評価する実証プロジェクトを進める．こうした活動を3年程度かけて実施し，最終的にCPFを業界標準化することを目ざしている．

KeyWord　CPF，Common Power Format，PFI，Power Forward Initiative，タイミング・ドリブン設計，パワー・ドリブン設計，DVFS，dynamic voltage and frequency acaling，ABB，adoptive body bias



源制御系の回路，および電源供給系の配線などを扱わなければなりません．しかし，既存のRTL/ゲート・レベルの設計では，これらの情報を明示的に表現することが容易ではありません．したがって，従来の設計環境（**図2（a）**）では，電源制御・電源供給の仕様については，設計仕様書に記載されるレベルにとどまり，設計フローの各工程で，設計者が必要に応じてツールが読める形に情報を加工・入力しなければなりませんでした．

例えば，異なる電源電圧を供給する論理セルの情報や電源分離用素子，レベル・シフタ素子などの情報は，複数のサイド・ファイルやスクリプトに記載しなくてはなりません．このような設計スタイルでは，設計の過程で電源系の仕様に変更が生じた場合，すべてのファイルやスクリプトの内容を整合させることはたいへんです．なんとか全体の設計を完了したとしても，最終的なゲート・レベル・ネットリストやレイアウトと元のRTL記述，および電源仕様との等価性を保証（検証）することは，非常に骨の折れる作業でした．

電源しゃ断回路など，特定の条件で電源を切るような回路では，電源をしゃ断した後も信号を確実に保持する回路や，電源しゃ断領域と外部回路の間をつなぐ分離素子の動作タイミングを適切に設計する必要があります．しかし，RTL/ゲート・レベル・シミュレータはそもそも電源系のタイミング検証を行うことを想定して作られていません．また，最終的なタイミング検証では，電源電圧の種類や電源しゃ断による回路動作モードの増加により，多数の条件のタイミングを解析しつつ，全体の作業をできるだけ短い時間で収束させなくてはなりません．

CPFを使った設計フローでは，これらがいったいどのように解決されるのでしょうか？

● CPFは，いわばSDCのパワー版

CPFを理解するには，タイミング・ドリブン設計における

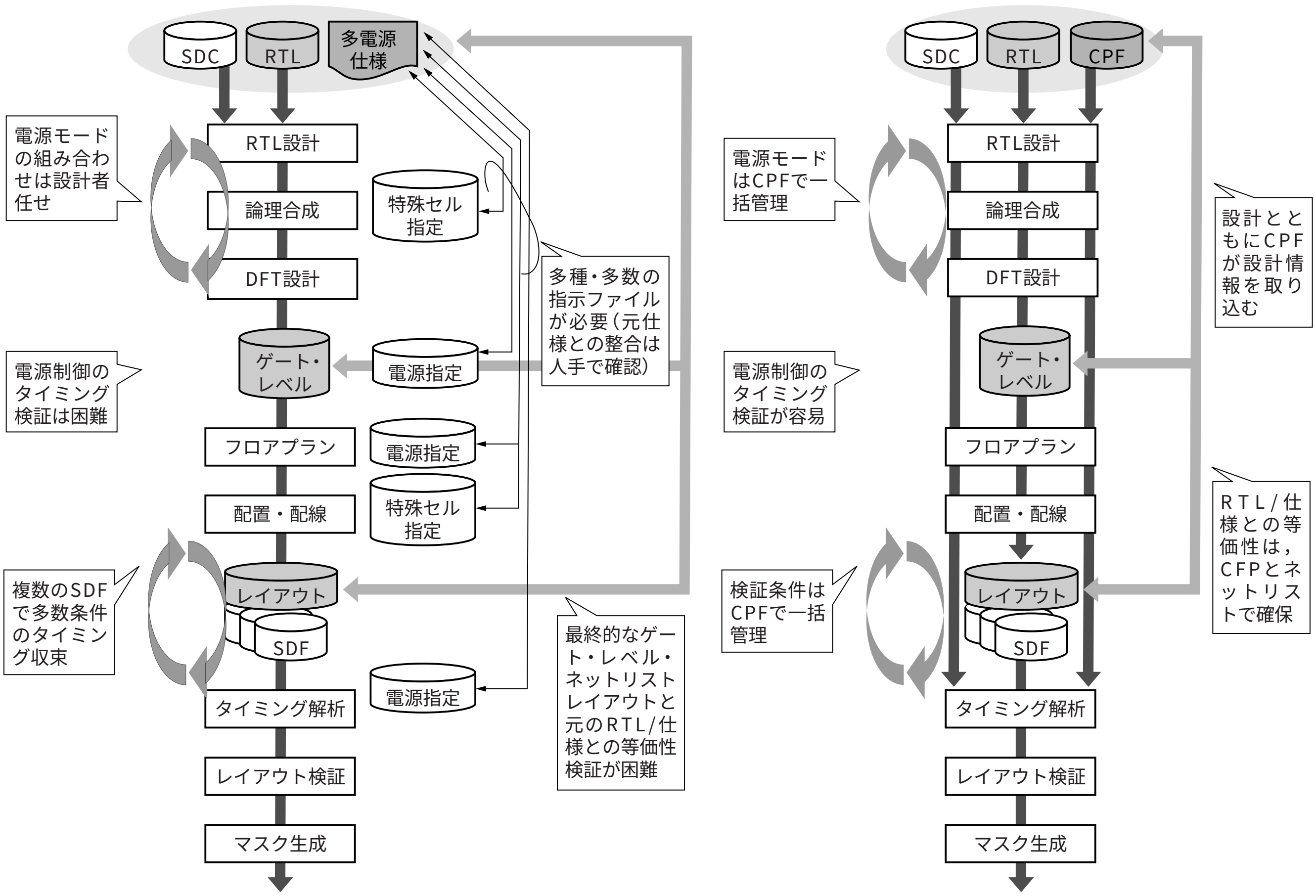


図2　設計フロー

従来の設計環境において，電源制御・電源供給の仕様については，設計仕様書に記載されるレベルにとどまっていた．そのため，（a）のように設計フローの各工程で，設計者が必要に応じてツールが読める形に情報を加工・入力しなければならなかった．CPFを導入すれば，既存のRTLやゲート・レベルの設計スタイルを大きく変更することなく，電源系を含むLSI全体の構造と動作を表現できる．（b）のように，設計フローはシンプルになる．

SDC（Synopsys Design Constraints）のアナロジーを，“パワー・ドリブン設計”とも言える低消費電力設計に当てはめるとわかりやすいと思います．ご承知のとおりSDCは，RTL記述やゲート・レベル・ネットリストに示された論理回路情報に対して，タイミング解析を可能にするクロック定義，入出力端子のドライバや負荷の情報，あるいはフォールス・パスなどの設計制約を記述するファイルです．これにより，RTL記述/ゲート・レベル・ネットリストとペアで，対象回路のタイミングを確定することができます（**図3（a）**）．一方CPFは，RTL記述/ゲート・レベル・ネットリストとペアで，低消費電力設計に必要な情報を提供します（**図3（b）**）．

重要な点は，CPFを導入することにより，既存のRTLやゲート・レベルの設計スタイルを大きく変更することなく，電源系を含むLSI全体の構造と動作を表現できるということです．しかも，これらの情報がCPFという一つのファイルにまとめられます．「RTL設計，ゲート・レベル設計，レイアウト設計，サインオフ検証の各工程の設計ツールで共通に利用できる標準フォーマット」というコンセプトが，CPFの売りです（**図2（b）**）．

● CPFは電源，グラウンド，レベル・シフタなどを定義

以下に，CPFを使った低消費電力設計の簡単な例を示します．

図4（a）は，RTL（あるいはゲート・レベル）のシンプルな論理回路の例です．この回路の内部にある領域2は，実際にはほかの領域と異なる電源電圧V_{dd1}が供給され，かつPSMOD信号が入ることで電源をしゃ断（OFF）するものとします．

通常のタイミング設計では，論理回路にSDCファイルのタイミング制約によって，入出力端子へのインターフェース情報やクロック，固定論理の設定などを行います．このようすを示したのが**図4（b）**になります．

低消費電力設計では，同じ論理回路に対して電源ネットV_{dd1}，V_{dd}，および共通グラウンド・ネットの明示と，電源電圧の異なる領域間へのレベル・シフタ回路の割り当てが必要です．さらに，PSMOD信号によって領域2の電源をしゃ断する場合，電源スイッチ回路，および電源しゃ断後に領域2を外部と電気的に分離する境界素子が必要となります．最終的な設計完了後の物理レベルの設計データは**図4（c）**のようになります．

CPFの役割は，**図4（a）**の回路に対して，**図4（c）**のような低消費電力設計に必要な情報や制約を明示的に定義することです．

● 電源系を重視する低電力設計対応ツールの整備が不可欠

CPFをベースとする低消費電力設計を行うには，新しいファイル・フォーマットを開発しさえすればよい，というものではありません．それを読み書きする設計ツールがそろわないと意味がありません．しかも，必要なEDA技術は広範で，非常に多種多様なものになります．例えば，以下の技術群が必要です．

- 複数の電圧のタイミング/パワー情報を効率的に記述できる多電源ライブラリ
- レベル・シフタ回路や電源分離素子の自動挿入と等価性検証を行うツール
- 電源制御回路（電源スイッチ，信号保持回路など）のタイミング検証を行うツール
- 多電源領域にまたがるパスのタイミング検証を行うツール
- 多数の動作モードやタイミング条件を一括して検証したり，最適化したりできるレイアウト設計ツール
- 電源制御回路のテスト自動化技術

これらすべてのツールがCPFを受け入れることができて初め

設計	RTL/ゲート・レベル回路 または レイアウト
	＋
SDC	システム・インターフェース（ドライブ/ロード指定など）
	ワイヤ・ロード・モデル
	設計制約（C，スルー・レート制約，ファンアウト制約など）
	タイミング制約（クロック指定，入力/出力遅延など）
	タイミング例外（フォールス・パス，最大/最小遅延など）
	そのほかの制約

（**a**）タイミング・ドリブン設計の対象

設計	RTL/ゲート・レベル回路 または レイアウト
	＋
CPF	電源領域設定
	電源分離回路の設定
	レベル・シフタ回路の設定
	電源しゃ断回路の設定
	状態保持回路の設定
	電源モード，遅延コーナ，動作条件などの設定

（**b**）パワー・ドリブン設計の対象

図3 SDCとCPFの関係

（a）のようにSDCにはおもにタイミング制約が，（b）のようにCPFには電源系の制約などが記述される．設計情報とSDCに記述されるタイミング情報を組み合わせてタイミング設計を行うように，設計情報とCPFに記述されている電源系の情報を組み合わせて低消費電力設計（パワー・ドリブン設計）を行うことになる．



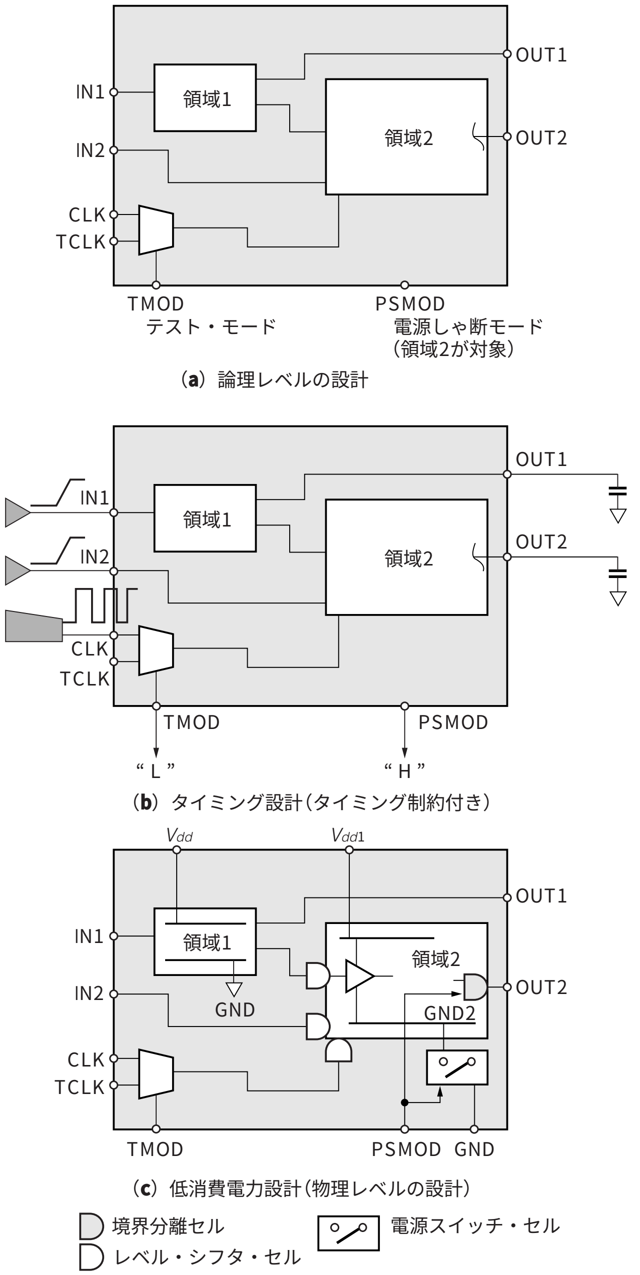


図4　低消費電力設計の例

タイミング設計では，（b）のように入出力端子へのインターフェース情報やクロックの付加，固定論理の設定などを行う．低消費電力設計では，（c）のように電源ネットや共通グラウンド・ネットを明示する．また，電源電圧の異なる領域間へのレベル・シフタ回路の割り当てを行ったり，電源スイッチ回路などを付加する．

て，PFIの目ざす低消費電力設計環境ができ上がるのです．

PFIをCadence社が立ち上げたのは，必要なすべてのEDA技術を保有する数少ないEDAベンダの一つが同社だからです．しかし，Cadence社のツールでしか使えないというのでは，CPFを使った低消費電力設計の手法を普及させることは困難です．早期に多くのEDAベンダの参加を募ることが，PFIの活動の成功につながると考えます．とくに，設計制約やライブラリに関する業界標準化をリードしてきた米国Synopsys社が，今後PFIの活動に参加するかどうかが，CPFおよびそれを利用した低消費電力設計技術の発展のかぎを握っていると言っても過言ではないでしょう．

● 動的な電圧制御へも対応へ

それでは，CPFを用いることによるASICユーザのメリットとは何でしょうか？

LSIメーカでLSI開発に携わる技術者にとっては，従来の煩雑な多電源設計フローがCPFをベースにした非常に単純かつ整理されたものになることは，設計効率化の観点からすると朗報です．しかし，LSIメーカがCPFを使うだけでLSIの電力がどんどん減るというわけではありません．微細化による消費電力の増大を食い止めるのは，既存の低消費電力設計を効率化するだけでは十分とは言えないからです．

それよりも，CPFの登場により，電源分離や電源制御などを想定した，RTL段階におけるアーキテクチャの設計がこれまでより容易になると思われます．ASICユーザにとっては，こちらのメリットのほうが大きいと考えます．また，ASIC単体ではなく，電源ICとASICをセットで最適設計するような手法が広がる可能性もあるでしょう．

筆者ら（NECエレクトロニクス）は，デバイスや回路，そして設計のシナジー効果を引き出す独自の低消費電力技術（Ultimate LowPower）の一つとして，電源および基板バイアスを動的に制御する技術を実用化しています(2)．こうした技術は，電源制御を含む新しい低消費電力LSIのアーキテクチャを検討するうえで有用であると考えています．そのため，例えばCPFをDVFS（dynamic voltage and frequency acaling）やABB（adoptive body bias）などの動的な電圧制御に適用できる形に拡張していくことを，PFIの中で検討しています．

参考・引用*文献

（1）Cadence Design Systems社；Power Forward Initiativeに関するホームページ，http://www.cadence.com/partners/power_forward/index.aspx

（2）M. Nomura, Y. Ikenaga, K. Takeda, Y. Nakazawa, Y. Aimoto and Y. Hagihara；“Delay and Power Monitoring Schemes for Minimizing Power Consumption by Means of Supply and Threshold Voltage Control in Active and Standby Modes”，IEEE J.of Solid-State Circuits, vol.41, no.4, pp.805-814, Apr. 2006.

さいとう・としゆき
NECエレクトロニクス（株）基盤技術開発事業本部 設計技術事業部